**预习报告**

**实验内容**

**必做实验**

**3、 BCD 加减器**

1) 在前面加法器和减法器的基础上，设计 BCD 校正电路，实现 1 位 BCD 加减器，通过一个逻辑电平开关，实现加法和减法的切换。

2) 将 1 位 BCD 加减器下载到实验箱，连接逻辑电平开关进行功能验证。

**实验设计方案**；

仿真时选用：Cyclone III - EP3C5E144C8

设置引脚、编译下载时选用：Cyclone IV E - EP4CE6F17C8

**BCD加减器**

1) 在前面加法器和减法器的基础上，设计 BCD 校正电路，实现 1 位 BCD 加减器，通过一个逻辑电平开关，实现加法和减法的切换。

当加法结果超过BCD码0-9范围时需要校正

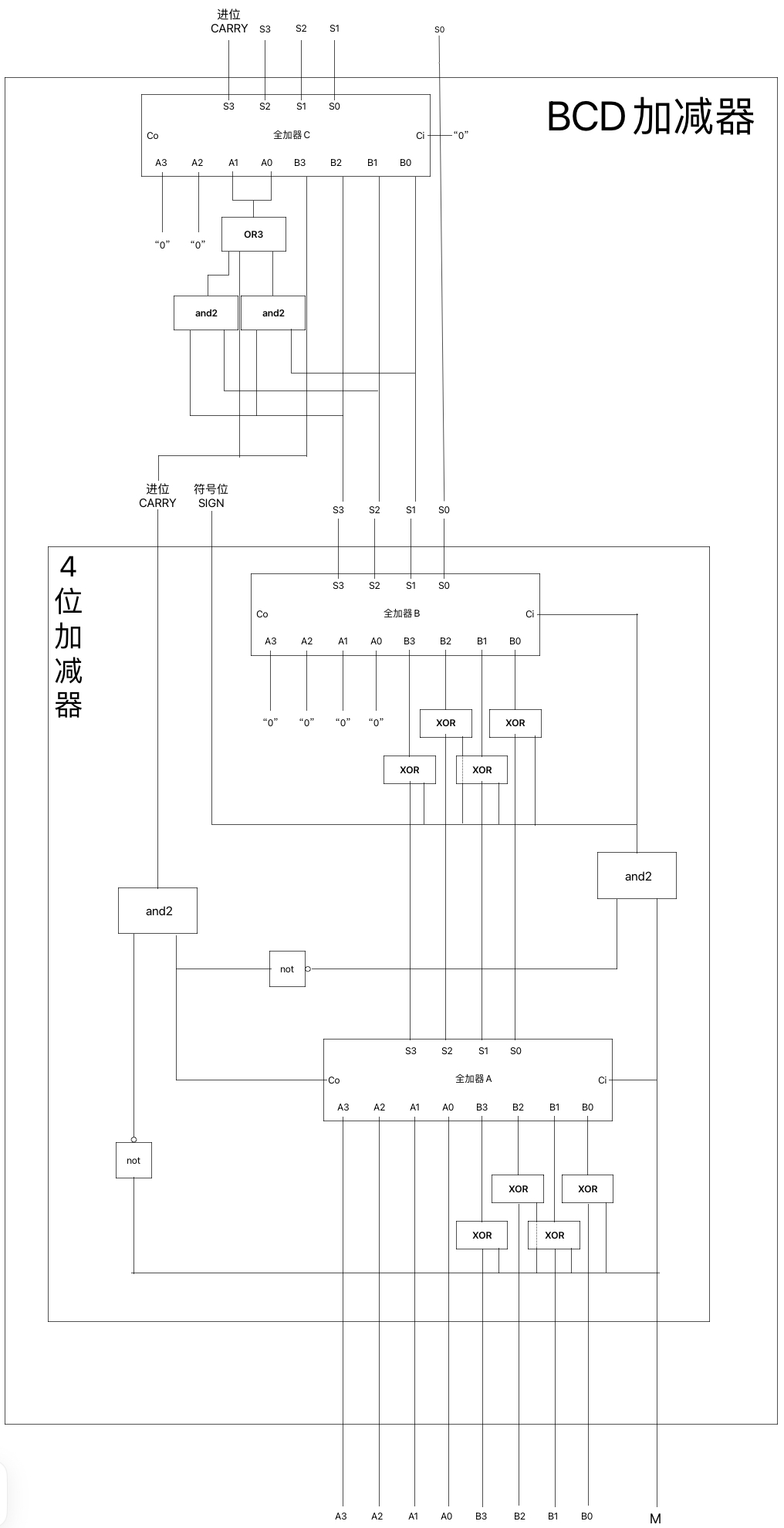
BCD校正电路的真值表:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 十进制数 | 二进制码 | | | | | BCD码 | | | | |
| Co | B3 | B2 | B1 | B0 | D10  (进位) | D8 | D4 | D2 | D1 |
| 10 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 11 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 12 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 13 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 14 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 15 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 16 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 17 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 18 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |

即CoB3B2B1所构成的四位二进制数若>=5则+3校正为D10D8D4D2四位二进制数

其中D10的逻辑函数为：D10=Co+B3B2+B3B1

设计思路：



4位加减器参照上周，原理不变，直接封装成元件：

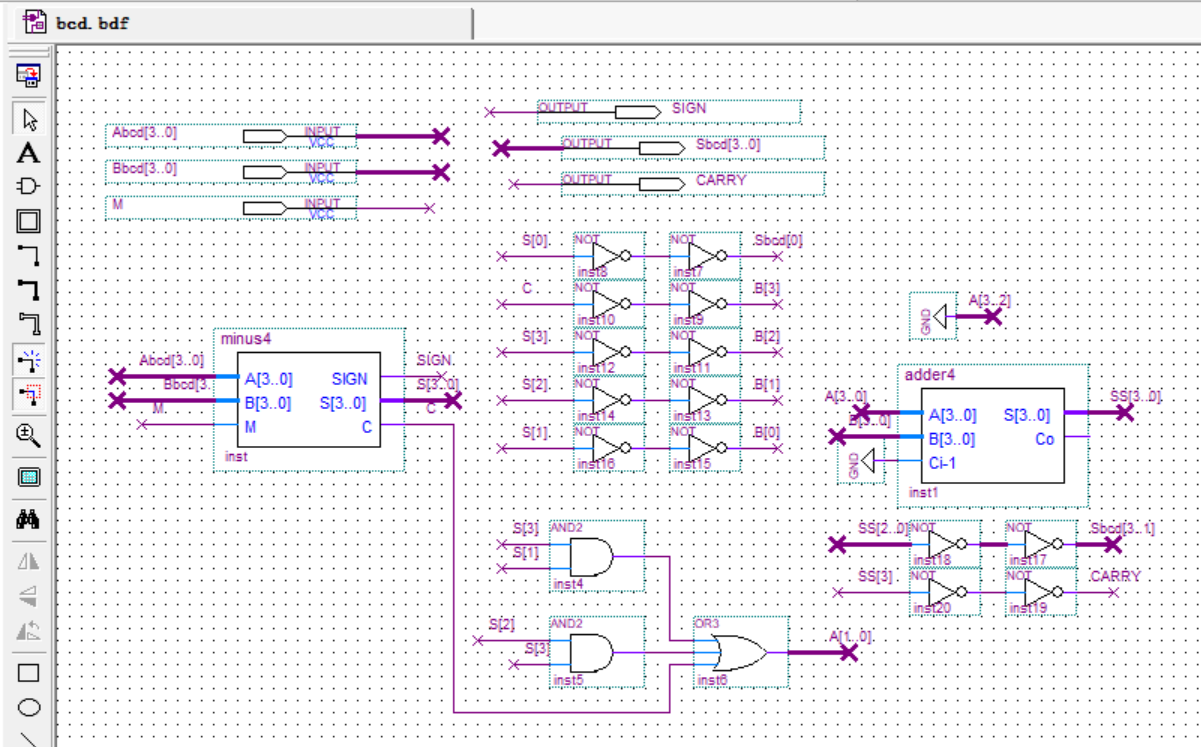
M=0时，加法电路：符号位与门被M=0封锁，符号位恒为0，而进位输出的与门一端为M非，即为1，与门输出和Ci进位位一致，异或门能做到一端输入为1则取另一输入端的反，一端输入为0则保持另一输入端的输入不变，所以M=0，加法电路的异或门不改变B输入，是正常A+B。

M=1时，减法电路：进位位与门被M非=1封锁，进位位恒为0，而符号输出的与门一端为M，即为1，与门输出和Ci进位位的非一致，异或门能做到一端输入为1则取另一输入端的反，一端输入为0则保持另一输入端的输入不变，所以M=1，减法电路的异或门能对B输入取反，是A+B的取反，再加1=Ci-1=M，符合减法运算原则，若有进位，则Ci经过非变成零，与门一端为M=1，输出和另一端输入的Ci非一致，那么符号位也为零，即摄取进位，反之，若没有进位，则加上符号位1，并再次对结果做取反加一的操作。

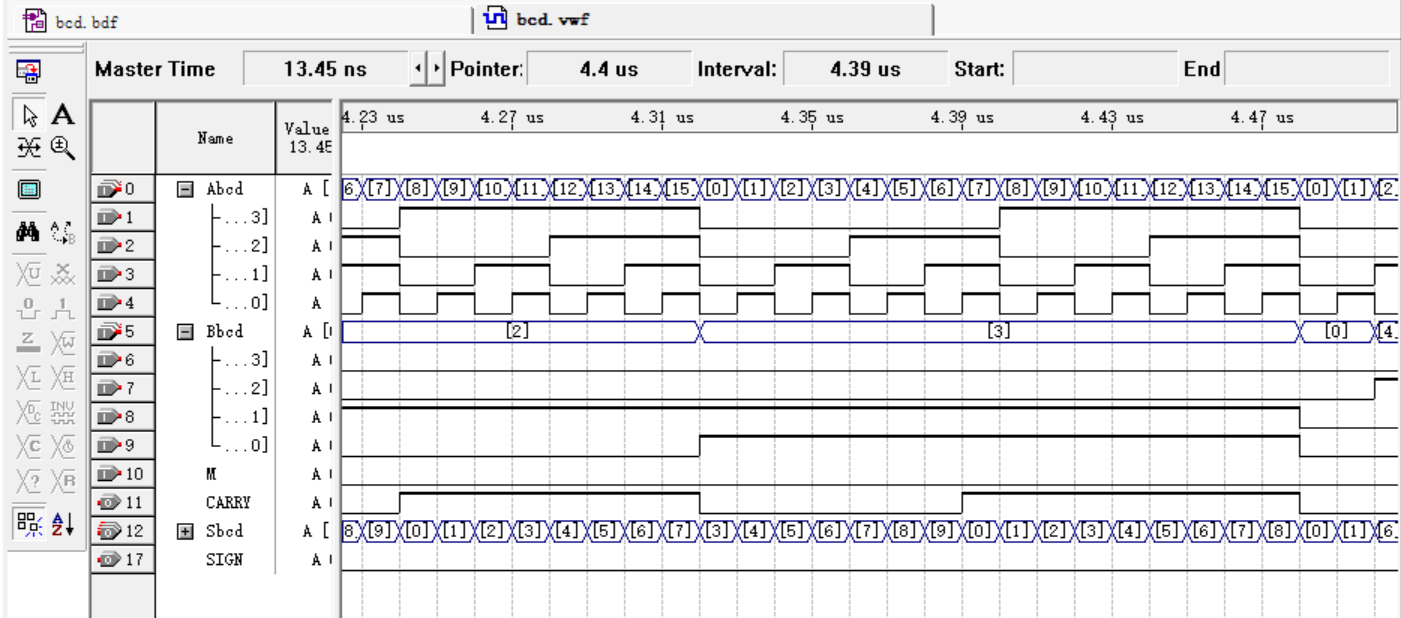
而BCD加减器仅对四位加减器的输出做校正：

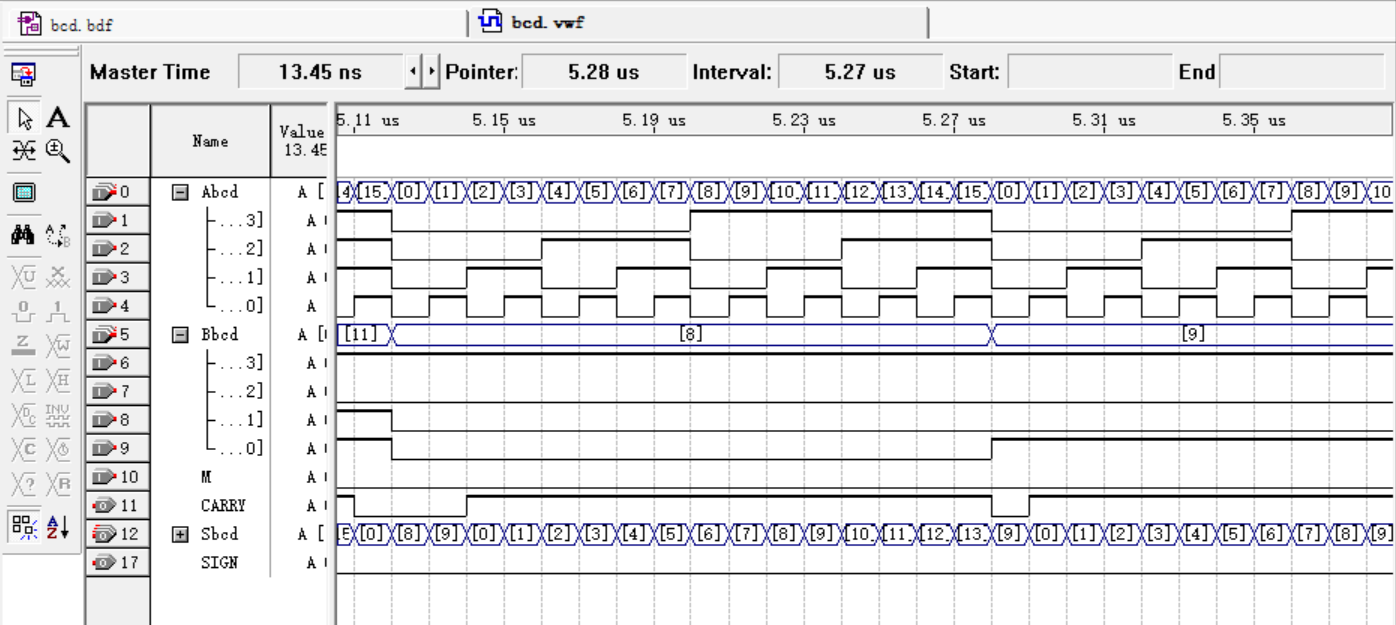
将四位加减器的输出错一位接入一个四位全加器的输入中，S0不变直接输出，然后通过两个与门和一个三输入或门，能够判断出四位加减器的输出中：S3S2同为1、S3S1同为1、进位位为1，这三个条件满足一个及以上，或门输出就为1，并赋值给A0A1，达成加三的校正功能。

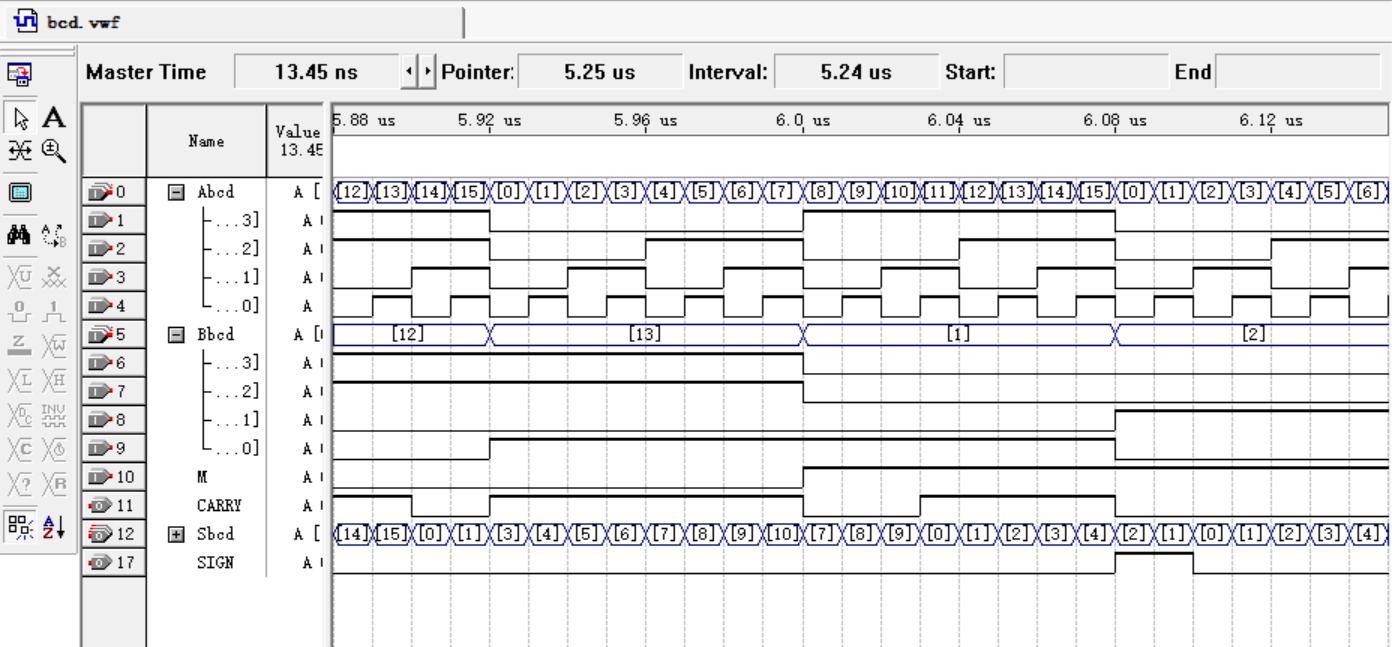
BCD加减器原理图(.bdf)：



BCD加减器功能仿真(.vwf)：





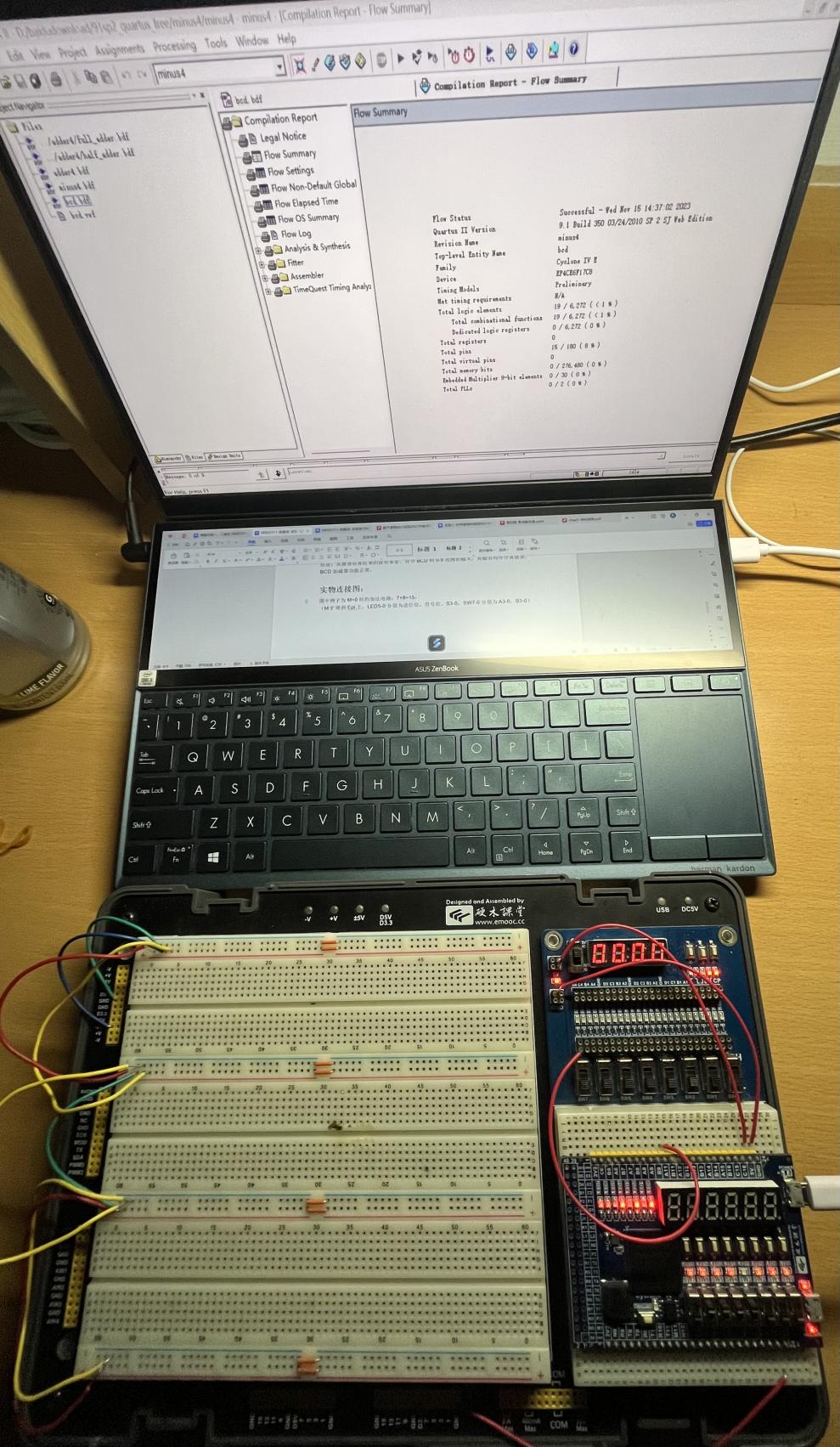


结论：从抽查仿真结果的波形来看，符合BCD码0-9范围的输入，其输出均符合真值表，BCD加减器功能正常。

**实物连接图：**

图中例子为M=0时的加法电路：7+8=15：

（M扩展到Epi上，LED5-0分别为符号位、进位位、S3-0；SW7-0分别为A3-0、B3-0）

****